

Clock generation circuit, serial/parallel conversion device and parallel/serial conversion device together with semiconductor device

Patent Number: ☐ US6414528
Publication date: 2002-07-02
Inventor(s): USUI TOSHIMASA (JP)
Applicant(s): SEIKO EPSON CORP (JP)
Requested Patent: ☐ WO0065717
Application Number: US20000720429 20001222
Priority Number(s): JP19990119647 19990427; WO2000JP02769 20000427
IPC Classification: H03L7/06
EC Classification: G06F1/06, H03L7/099C, H04L7/033E
Equivalents:

Abstract

A clock generation circuit that generates multi-phase output clock signals which immediately follow any change in the period of an input clock signal. This clock generation circuit comprises a voltage-controlled oscillator (14) that generates an output signal having a frequency that varies in response to a control voltage; a phase comparator (11) that compares the phase of the input clock signal and the phase of the output signal of the voltage-controlled oscillator, to detect the phase difference therebetween; control voltage generation circuits (12, 13) that generate a control voltage corresponding to that phase difference; and a variable delay circuit (15) that generates multi-phase output clock signals by delaying the input clock signal in accordance with the control voltage

Data supplied from the esp@cenet database - I2



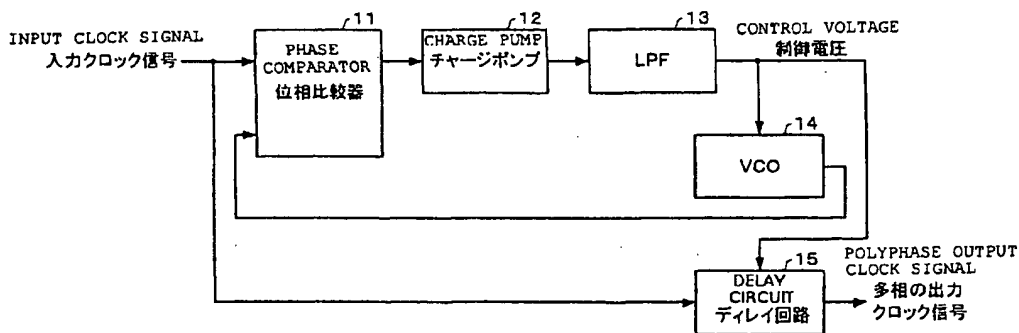
PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類7 H03K 5/15, G06F 1/04</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/65717</p> <p>(43) 国際公開日 2000年11月2日(02.11.00)</p>
<p>(21) 国際出願番号 PCT/JP00/02769</p> <p>(22) 国際出願日 2000年4月27日(27.04.00)</p> <p>(30) 優先権データ 特願平11/119647 1999年4月27日(27.04.99) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 薄井敏正(USUI, Toshimasa)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo, (JP)</p>		<p>(81) 指定国 CN, JP, KR, US</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: CLOCK GENERATION CIRCUIT, SERIAL/PARALLEL CONVERTER AND PARALLEL/SERIAL CONVERTER, AND SEMICONDUCTOR DEVICE

(54)発明の名称 クロック生成回路、シリアル/パラレル変換装置及びパラレル/シリアル変換装置並びに半導体装置



(57) Abstract

A clock generation circuit generates a polyphase output clock signal which can immediately follow a change of the period of an input clock signal. The clock generation circuit is provided with a voltage-controlled oscillator (14) for generating an output signal whose frequency varies with a control voltage, a phase comparator (11) for comparing the phase of the input clock signal and that of the output signal of the voltage-controlled oscillator and measuring the phase difference, a control-voltage generation circuit (12, 13) for generating a clock voltage that corresponds to the phase difference, and a variable delay circuit (15) for delaying the input clock signal according to the control signal and thereby generating the polyphase output clock signal.

(57)要約

入力クロック信号の周期が変化しても、その変化に直ちに追従した多相の出力クロック信号を生成するクロック生成回路である。このクロック生成回路は、制御電圧に従って周波数が変化する出力信号を発生する電圧制御発振器(14)と、入力クロック信号の位相と電圧制御発振器の出力信号の位相とを比較し、その位相差を検出する位相比較器(11)と、前記位相差に対応する制御電圧を生成する制御電圧生成回路(12, 13)と、制御電圧に従って入力クロック信号を遅延させることにより、多相の出力クロック信号を発生する可変遅延回路(15)とを有する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	EES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボワール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明 細 書

クロック生成回路、シリアル／パラレル変換装置及び
パラレル／シリアル変換装置並びに半導体装置

5 [技術分野]

本発明は、PLLを使用して多相のクロック信号を生成するクロック生成回路、シリアル／パラレル変換装置及びパラレル／シリアル変換装置並びに半導体装置に関する。

10 [背景技術]

一般に、低電圧差動信号(LVDS: Low Voltage Differential Signal)を用いるトランスミッタとレシーバとの間では、データ信号とクロック信号が別々に伝送される場合がある。この場合、クロック信号の立ち上がりはデータの変化と必ず一致するようになっている。従って、特にレシーバにおいて、データ信号とクロック信号とのタイミングが合うように、クロック信号を生成することが要求される。

図10は一般的なトランスミッタとレシーバを示すブロック図である。図11は、トランスミッタ71からレシーバ72に転送される送信クロックとシリアルデータとを示している。図11に示すシリアルデータは、送信クロックの1周期内に転送されるデータを例えば7ビット含んでいる。即ち、シリアルデータは送信クロックの周波数の7倍の伝送レートとなるので、送信クロックの周波数が65MHzであれば、シリアルデータの伝送レートは455Mbpsとなる。

まず、トランスミッタ71の動作について説明する。トランスミッタ71に25 入力されたクロック信号は、PLLブロック77において7倍に逡倍される。トランスミッタ71に入力されたパラレルデータは、パラレル／シリアル変換ブロック79において、この7逡倍されたサンプリングクロックに基づいて図

明 細 書

クロック生成回路、シリアル／パラレル変換装置及び
パラレル／シリアル変換装置並びに半導体装置

5 〔技術分野〕

本発明は、PLLを使用して多相のクロック信号を生成するクロック生成回路、シリアル／パラレル変換装置及びパラレル／シリアル変換装置並びに半導体装置に関する。

10 〔背景技術〕

一般に、低電圧差動信号（LVDS：Low Voltage Differential Signal）を用いるトランスミッタとレシーバとの間では、データ信号とクロック信号が別々に伝送される場合がある。この場合、クロック信号の立ち上がりはデータの変化と必ず一致するようになっている。従って、特にレシーバにおいて、データ信号とクロック信号とのタイミングが合うように、クロック信号を生成す
15 ることが要求される。

図10は一般的なトランスミッタとレシーバを示すブロック図である。図11は、トランスミッタ71からレシーバ72に転送される送信クロックとシリアルデータとを示している。図11に示すシリアルデータは、送信クロックの1周期内に転送されるデータを例えば7ビット含んでいる。即ち、シリアルデータは送信クロックの周波数の7倍の伝送レートとなるので、送信クロックの周波数が65MHzであれば、シリアルデータの伝送レートは455Mbps
20 となる。

まず、トランスミッタ71の動作について説明する。トランスミッタ71に入力されたクロック信号は、PLLブロック77において7倍に逡倍される。トランスミッタ71に入力されたパラレルデータは、パラレル／シリアル変換ブロック79において、この7逡倍されたサンプリングクロックに基づいて図

25

1 1に示すシリアルデータに変換され、LVDS出力セル73からLVDS信号としてレシーバ72に送られる。LVDS出力セル74からは、図11に示す送信クロックが出力される。この送信クロックは、7通倍されたサンプリングクロックを1/7分周することが好ましいが、入力クロック信号をそのまま
5 出力しても良い。

次に、レシーバ72の動作について説明する。レシーバ72に入力されたクロック信号は、LVDS入力セル76を介してPLLブロック78に送られ、ここで7倍に通倍される。一方、レシーバ72に入力されたシリアルデータは、LVDS入力セル75を介してシリアル/パラレル変換ブロック80に送られ、
10 7通倍されたサンプリングクロックに基づいてパラレルデータに変換される。

なお、トランスミッタ71及びレシーバ72において、入力クロック周波数の7倍の周波数を有するサンプリングクロックをPLLで生成するかわりに、入力クロック信号の周期を7等分した時間だけ位相のずれた7相のクロック信号をPLLで生成し、その7相のクロック信号をサンプリングクロックとして
15 用いても良い（特開平9-74339号など参照）。

上述のデータ転送方式においては、クロック信号とデータ信号との同期をとるために、LVDS出力のクロック信号の立ち上がりと、データ信号の変化点とが、必ず一致するように動作する必要がある。トランスミッタ71に入力されるクロック信号の周期が変動した場合にも、クロック信号の立ち上がり
20 データ信号の変化点とは必ず一致しなければならない。

図12は、図10のレシーバにおいて、クロック信号を生成するために用いられるPLL回路、即ち、従来のクロック生成回路を示すブロック図である。電圧制御発振器（VCO）94は、制御電圧に従った周波数で発振して出力クロック信号を生成する。位相比較器91において、VCO94が生成した出力
25 クロック信号の位相を入力クロック信号の位相と比較し、その位相差に応じた誤差信号を発生する。この誤差信号は、チャージポンプ92とローパスフィルタ（LPF）93とで積分され、制御電圧としてVCO94に印加される。

なお、図12に示すPLL回路にて7相のサンプリングクロックを生成するには、VCO94が7段の差動バッファから成るリング・オシレーターにて構成され、その各段の差動バッファの出力に基づいて7相のサンプリングクロックが得られる。そして、最終段の差動バッファの出力が位相比較器91にフィードバックされる。

ところで、EMIノイズを低減できるクロック信号を生成するために、スプレッドスペクトラムと呼ばれる方法がある。この方法は、クロック信号の周波数を故意に変動させて、周波数の分布を広げるというものである。

図13は、従来のクロック生成回路における、入力クロック信号の周期の変動に対する出力クロック信号の追従性を示す図である。入力クロック信号の周期が、スプレッドスペクトラム法に従い15nsから14nsに変化しても、クロック生成回路の出力クロック信号はすぐに追従できず、遅延を伴いながら15nsから14.5nsへとゆっくり変化する。この時、入力クロック信号と出力クロック信号との位相差は1.5nsにも達する。

入力クロック信号の周期が14nsである場合には、送受信に用いられるシリアルデータにおける1ビットのデータの時間幅は2nsとなる。このとき、クロック生成回路からの出力クロック信号との位相差が1.5nsもあると、シリアルデータ信号とクロック生成回路から出力されたクロック信号との時間的なマージンが0.5nsしかなくなってしまう。

LVD Sを用いたデータ転送においては、送信クロックの立ち上がりとデータの変化点とが必ず一致するように送受信しなければならないので、このようにクロック生成回路の入力クロック信号と出力クロック信号との間に大きな位相差が発生することは問題である。

また、入力クロック信号にはジッタと称される位相ずれも生ずる。この位相差は300~400ps程度であるが、VCOの出力はこのジッタにも追従できないという問題があった。

本発明の目的は、入力クロック信号の周期が変化しても、その変化に直ちに

追従した多相の出力クロック信号を生成するクロック生成回路、それを用いたシリアル／パラレル変換装置及びパラレル／シリアル変換装置並びに半導体装置を提供することである。

5 〔発明の開示〕

入力クロック信号に基づいて多相の出力クロック信号を発生する本発明の一態様に係るクロック生成回路は、

制御電圧に従って周波数が変化する出力信号を発振する電圧制御発振器と、
前記入力クロック信号の位相と前記電圧制御発振器の前記出力信号の位相と
10 を比較し、その位相差を検出する位相比較器と、

前記位相比較器にて検出される前記位相差に応じた前記制御電圧を生成する
制御電圧生成回路と、

前記制御電圧に従って前記入力クロック信号を遅延させることにより、前記
多相の出力クロック信号を発生する可変遅延回路と、

15 を有することを特徴とする。

本発明の一態様によれば、多相の出力クロック信号は、電圧制御発振器から
出力されるのではなく、その電圧制御発振器に印加される制御電圧と同じ電圧
によって遅延量が定められる可変遅延回路により出力される。この可変遅延回
路は、制御電圧によって決定される遅延量だけ入力クロック信号を遅延させる
20 ものであるので、入力クロック信号の周期の変化に直ちに追従した多相の出力
クロック信号を生成できる。

ここで、前記電圧制御発振器は、リング状に接続された複数の差動バッファ
回路を含むことができる。一方、前記可変遅延回路は、前記電圧制御発振器に
含まれる前記複数の差動バッファ回路の各々とそれぞれ同一構成を有する複数
25 の差動バッファ回路を含むことができる。そして、前記電圧制御発振器が n 個
の前記差動バッファ回路を有する場合、前記可変遅延回路は少なくとも $2n$ 個
の前記差動バッファ回路を有する。こうすると、入力クロック信号の 1 周期 (T)

をほぼ n 分割した位相差 (T/n) を有する n 相の出力クロック信号を生成できる。

この多相の出力クロック信号は、前記少なくとも $2n$ 個の差動バッファ回路のうちの奇数番目の各差動バッファ回路からの出力に基づいて生成されてもよいし、あるいは偶数番目の各差動バッファ回路からの出力に基づいて生成されてもよい。

また、電圧制御発振器と可変遅延回路とが同一の半導体基板上に形成されていることが好ましい。こうすると、電圧制御発振器と可変遅延回路とを構成する各差動バッファ回路間の素子のばらつきが相殺され、入力クロック信号の周
10 期変化への追従性を高めることができる。

本発明の他の態様は、上述したクロック生成回路を含んで構成されるシリアル／パラレル変換装置及びパラレル／シリアル変換装置である。これらの変換に必要なサンプリングクロックとして多相の出力クロック信号を用いれば、入力クロック信号の周期の変化に直ちに追従させて、サンプリングクロックの立
15 ち上がりとデータの変化とを一致させることが可能となる。

本発明のさらに他の態様は、シリアル／パラレル変換装置またはパラレル／シリアル変換装置に用いられる電圧制御発振器と可変遅延回路とが、同一の半導体基板上に形成されていることを特徴とする半導体装置である。この半導体装置は、精度の高いシリアル／パラレル変換またはパラレル／シリアル変換を
20 実施することができる。

【図面の簡単な説明】

図1は、本発明の一実施の形態に係るクロック生成回路のブロック図である。

図2は、図1に示すクロック生成回路に使用するVCOの回路構成例を示す
25 図である。

図3は、図1に示すクロック生成回路に使用するディレイ回路の回路構成例を示す図である。

イアス電圧（LPF 13からの制御電圧）が印加されており、このバイアス電圧によってトランジスタQ1のオン抵抗が変化して、入力から出力までの遅延時間が変化することによりVCOの発振周波数が変化する。

図3は、ディレイ回路15の回路構成例を示す図である。ディレイ回路15は、LPF 13からの制御電圧で決定される遅延時間だけ、入力クロック信号を遅延させた3相の出力クロック信号を生成するものである。このディレイ回路15は、VCO 14に使用した図4に示すものと同じ構成の差動バッファ回路31～36を有する。この差動バッファ回路31～36の各々においても、図4に示すトランジスタQ1のゲートにはバイアス電圧（LPF 13からの制御電圧）が印加されており、このバイアス電圧によってトランジスタQ1のオン抵抗が変化して、入力から出力までの遅延時間が可変となる。従って、差動バッファ回路31～36の各々は、入力クロック信号を順次遅延させることになる。

さらにディレイ回路15は、VCO 14に使用した図4に示すものと同じ構成の差動バッファ回路を、VCO 14の使用数の倍の数だけ使用している。すなわち、VCO 14では3つの差動バッファ回路21～23を設けたのに対して、ディレイ回路15は、その倍数である少なくとも6つの差動バッファ回路31～36を有する。

また、図3に示すように、6つの差動バッファ回路31～36のうちの偶数段目の各差動バッファ回路32, 34, 36の出力線には、出力された差動信号を通常の信号に変換するための出力バッファ回路37, 38, 39の一つが接続されている。この出力バッファ回路37, 38, 39からは、図5に示すように、入力クロック信号の周期Tを3等分した時間（ $T/3$ ）だけ順次遅延された第1相～第3相の出力クロック信号を得ることができる。

図3のディレイ回路15を図6に示すように構成することもできる。図6では、6つの差動バッファ回路31～36のうちの奇数段目の各差動バッファ回路31, 33, 35の出力線に、出力された差動信号を通常の信号に変換する

ための出力バッファ回路 37, 38, 39 の一つが接続されている。出力バッファ回路 37 からは、図 7 に示すように、入力クロック信号から ($T/6$) だけ遅延された第 1 相の出力クロック信号が得られ、第 1, 第 2 相の出力クロック信号間と、第 2, 第 3 相の出力クロック信号間の遅延量はそれぞれ ($T/3$) となる。なお、図 6 では差動バッファ回路 36 の出力は不使用となるが、各差動バッファ 31~35 の出力負荷を同じとするために、差動バッファ 35 の出力線に差動バッファ 36 が接続されている。

ここで、図 4 に示すバイアス電圧 (V_{CO14} , デイレイ回路 15 への制御電圧) が一定であり、図 2 及び図 3 に示された各々の差動バッファ回路の製造時ばらつきがないと仮定すると、図 2 及び図 3 に示された各々の差動バッファ回路での信号遅延量を T_{pd} で一定となる。

また、図 2 に示す V_{CO14} にて 1 周期分の出力クロック信号を取り出すには、リング接続された 3 段の差動バッファ回路 21~23 を 2 周する必要がある。すなわち、図 2 に示す差動バッファ回路 21 からの出力クロック A の立ち上がりは、図 8 に示すように入力クロック信号より遅延時間 T_{pd} だけ遅れる。同様に、図 2 に示す差動バッファ回路 22 からの出力クロック B の立ち上がりは、図 8 に示すように出力クロック A よりも遅延時間 T_{pd} だけ遅れる。さらに、図 2 に示す差動バッファ回路 23 からの出力クロック C の立ち上がりは、図 8 に示すように出力クロック B よりも遅延時間 T_{pd} だけ遅れる。各出力クロック A~C の立ち下りの位相差も同様である。すなわち、 V_{CO14} の差動バッファの段数を n としたとき、入力クロック信号の 1 周期 $T = 2 \times n \times T_{pd}$ の関係となる。

よって、入力クロック信号の周期 T を n 分割した時間を位相差とする n 相の出力クロック信号が得たいのであれば、デイレイ回路 15 では、 V_{CO14} に使用したのと同じ構成の差動バッファ回路を、 V_{CO14} の使用個数 n の倍の個数 $2n$ が少なくとも必要となる。

上記のように、 V_{CO14} とデイレイ回路 15 を構成する各差動バッファ回

路を図4に示すものと同一の構成とし、さらにVCO14への制御電圧をディレイ回路15にも印加することにより、ディレイ回路15の遅延時間を入力クロック信号に合わせて制御することができる。さらに、VCO14とディレイ回路15を同一の半導体基板上に作成することにより、素子のバラツキを相殺し、環境温度を共通にして、これらの回路の動作の追従性を高めることが可能となる。

図1に示すように、VCO14は、位相比較器11、チャージポンプ12、LPF13と組み合わされてPLLを構成している。入力クロック信号の周期が変化すると、ループ内の回路要素の遅延時間により、入力クロック信号の周期の変化に追従するまでに一定の時間がかかる。このため、入力クロック信号と出力クロック信号の周期誤差が積分されて、位相誤差が累積的に大きくなる。一方、ディレイ回路15の遅延時間にはVCO14の遅延時間と同様の誤差が生じるものの、ディレイ回路15には入力クロック信号が直接供給され、その入力クロック信号を制御電圧に従って決定される遅延量だけ遅延させるものであるから、入力クロック信号の位相の変化に直ちに追従できる。

図9は、入力クロック信号の周期変化に対するVCO14とディレイ回路15の出力の追従性を表した図である。図9の横軸は時間(t)を示し、縦軸は入力クロック信号の周期(T)を示している。入力クロック信号の周期(T)が時刻t1において15nsから14nsに変化した場合に、VCO14の出力における周期の中心値は、遅延時間後の時刻t2から入力クロック信号に追従を始める。しかしながら、時刻t2において直ちに入力クロック信号に追従するのではなく、一定の時間をかけて入力クロック信号に追従しようとする。これに対し、ディレイ回路15の出力における周期の中心値は、遅延時間後の時刻t2において直ちに入力クロック信号に追従する。

従って、ディレイ回路15からの多相の出力クロック信号をサンプリングクロックとして、図10に示すパラレル／シリアル変換ブロック79にてパラレル／シリアル変換を実施すれば、入力クロック信号の周期の変化に直ちに追従

して、パラレルデータのサンプリングをすることができる。同様に、ディレイ回路 15 からの多相の出力クロック信号をサンプリングクロックとして、図 10 に示すシリアル／パラレル変換ブロック 80 にてシリアル／パラレル変換を実施すれば、入力クロック信号の周期の変化に直ちに追従して、シリアルデータ

5 タをパラレル変換することができる。

請 求 の 範 囲

1. 入力クロック信号に基づいて多相の出力クロック信号を発生するクロック生成回路であって、
 - 5 制御電圧に従って周波数が増加する出力信号を発振する電圧制御発振器と、
前記入力クロック信号の位相と前記電圧制御発振器の前記出力信号の位相とを比較し、その位相差を検出する位相比較器と、
前記位相比較器にて検出される前記位相差に応じた前記制御電圧を生成する制御電圧生成回路と、
 - 10 前記制御電圧に従って前記入力クロック信号を遅延させることにより、前記多相の出力クロック信号を発生する可変遅延回路と、
を有することを特徴とするクロック生成回路。
2. 請求項 1 において、
前記電圧制御発振器は、リング状に接続された複数の差動バッファ回路を含むこと
15 を特徴とするクロック生成回路。
3. 請求項 2 において、
前記可変遅延回路は、前記電圧制御発振器に含まれる前記複数の差動バッファ回路の各々とそれぞれ同一構成を有する複数の差動バッファ回路を含むことを特徴とするクロック生成回路。
- 20 4. 請求項 3 において、
前記電圧制御発振器が n 個の前記差動バッファ回路を有し、前記可変遅延回路が少なくとも $2n$ 個の前記差動バッファ回路を有することを特徴とするクロック生成回路。
5. 請求項 4 において、
25 前記多相の出力クロック信号は、前記少なくとも $2n$ 個の差動バッファ回路のうちの奇数番目の各差動バッファ回路からの出力に基づいて生成されることを特徴とするクロック生成回路。

6. 請求項 4 において、

前記多相の出力クロック信号は、前記少なくとも $2n$ 個の差動バッファ回路のうちの偶数番目の各差動バッファ回路からの出力に基づいて生成されることを特徴とするクロック生成回路。

5 7. 請求項 3 乃至 6 のいずれかにおいて、

前記電圧制御発振器と前記可変遅延回路が、同一の半導体基板上に形成されていることを特徴とするクロック生成回路。

8. 入力クロック信号に従って入力されるシリアルデータをパラレルデータに変換するシリアル／パラレル変換装置において、

10 前記シリアルデータをサンプリングクロックに従って前記パラレルデータに変換するシリアル／パラレル変換ブロックと、

前記入力クロック信号に基づいて多相の出力クロック信号を発生し、前記多相の出力クロック信号を前記サンプリングクロックとして前記シリアル／パラレル変換ブロックに供給するクロック生成回路と、

15 を有し、

前記クロック生成回路は、

制御電圧に従って周波数が増減する出力信号を発振する電圧制御発振器と、

前記入力クロック信号の位相と前記電圧制御発振器の前記出力信号の位相とを比較し、その位相差を検出する位相比較器と、

20 前記位相比較器にて検出される前記位相差に応じた前記制御電圧を生成する制御電圧生成回路と、

前記制御電圧に従って前記入力クロック信号を遅延させることにより、前記多相の出力クロック信号を発生する可変遅延回路と、

を有することを特徴とするシリアル／パラレル変換装置。

25 9. 請求項 8 において、

前記シリアルデータは前記入力クロック信号の 1 周期の間に n ビット分転送され、

前記電圧制御発振器は、リング状に接続された n 個の差動バッファ回路を含み、

前記可変遅延回路は、前記電圧制御発振器に含まれる前記 n 個の差動バッファ回路の各々とそれぞれ同一構成を有する少なくとも $2n$ 個の差動バッファ回路を含むことを特徴とするシリアル／パラレル変換装置。

10. 請求項9に記載の前記電圧制御発振器と前記可変遅延回路が、同一の半導体基板上に形成されていることを特徴とする半導体装置。

11. 入力クロック信号に従って入力されるパラレルデータをシリアルデータに変換するパラレル／シリアル変換装置において、

10 前記パラレルデータをサンプリングクロックに従って前記シリアルデータに変換するパラレル／シリアル変換ブロックと、

前記入力クロック信号に基づいて多相の出力クロック信号を発生し、前記多相の出力クロック信号を前記サンプリングクロックとして前記パラレル／シリアル変換ブロックに供給するクロック生成回路と、

15 を有し、

前記クロック生成回路は、

制御電圧に従って周波数が変化する出力信号を発振する電圧制御発振器と、

前記入力クロック信号の位相と前記電圧制御発振器の前記出力信号の位相とを比較し、その位相差を検出する位相比較器と、

20 前記位相比較器にて検出される前記位相差に応じた前記制御電圧を生成する制御電圧生成回路と、

前記制御電圧に従って前記入力クロック信号を遅延させることにより、前記多相の出力クロック信号を発生する可変遅延回路と、

を有することを特徴とするパラレル／シリアル変換装置。

25 12. 請求項11において、

前記シリアルデータは前記入力クロック信号の1周期の間に n ビット分転送され、

前記電圧制御発振器は、リング状に接続された n 個の差動バッファ回路を含み、

- 前記可変遅延回路は、前記電圧制御発振器に含まれる前記 n 個の差動バッファ回路の各々とそれぞれ同一構成を有する少なくとも $2n$ 個の差動バッファ回路を含むことを特徴とするパラレル／シリアル変換装置。
- 5

13. 請求項 12 に記載の前記電圧制御発振器と前記可変遅延回路が、同一の半導体基板上に形成されていることを特徴とする半導体装置。

FIG. 1

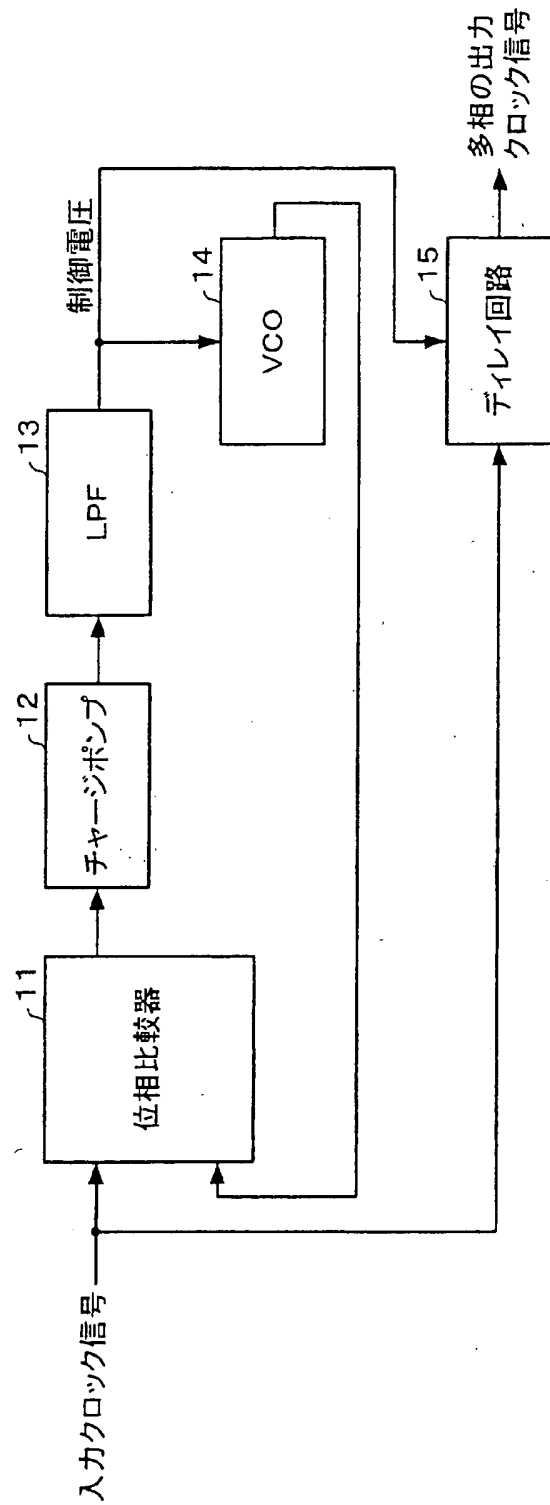


FIG. 2

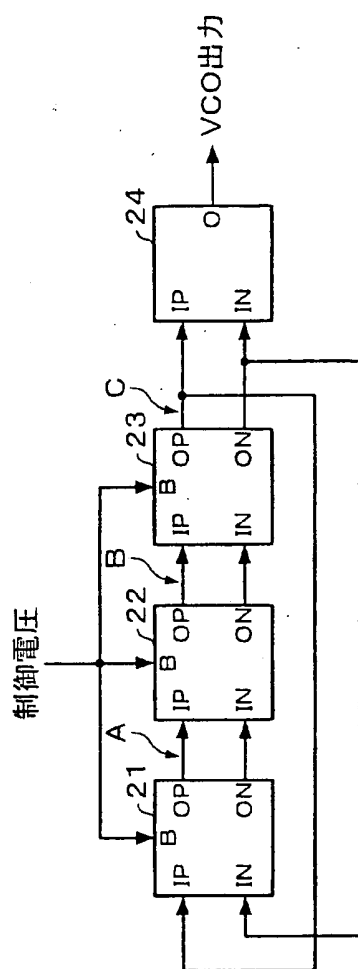
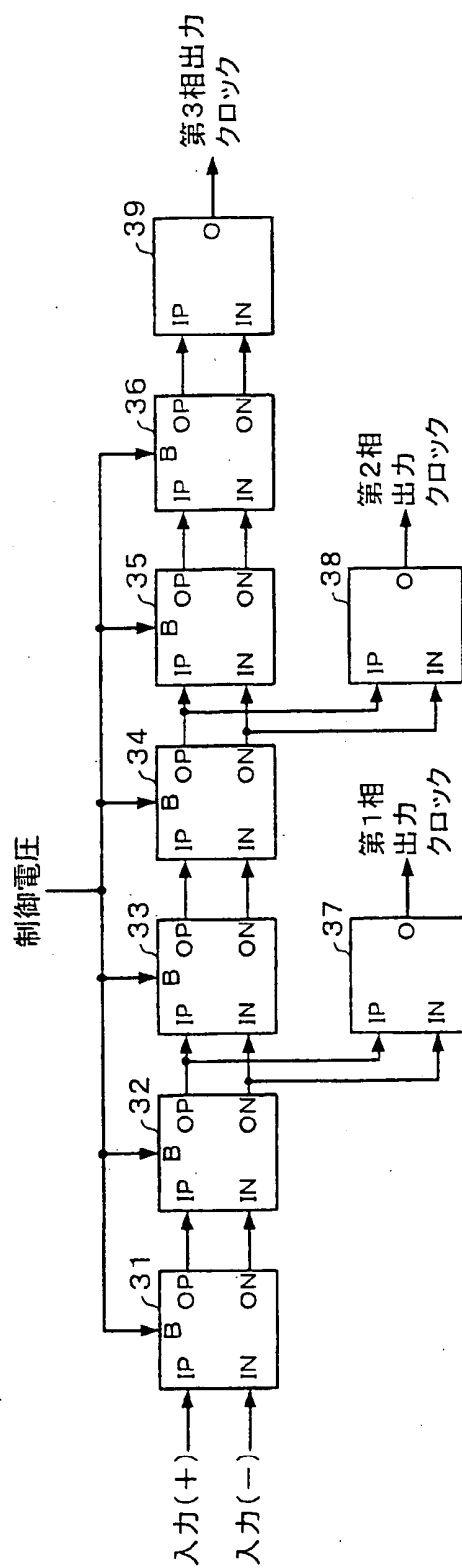


FIG. 3



4/13

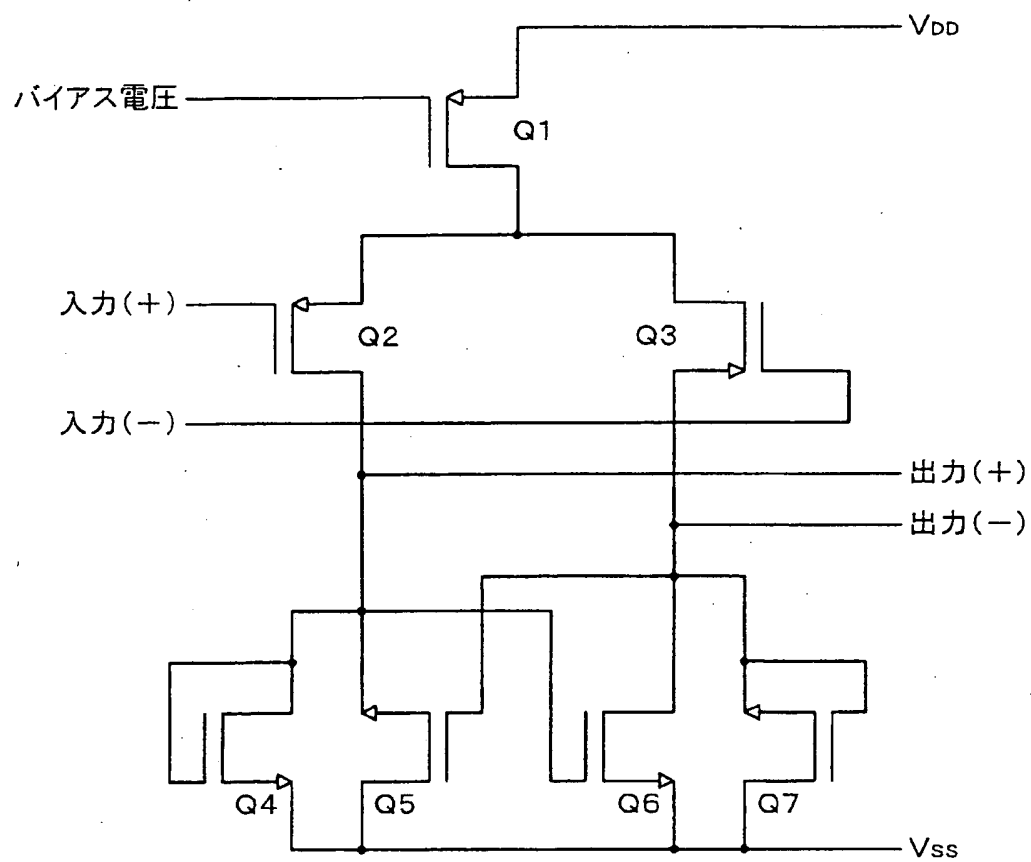
FIG. 4

FIG. 5

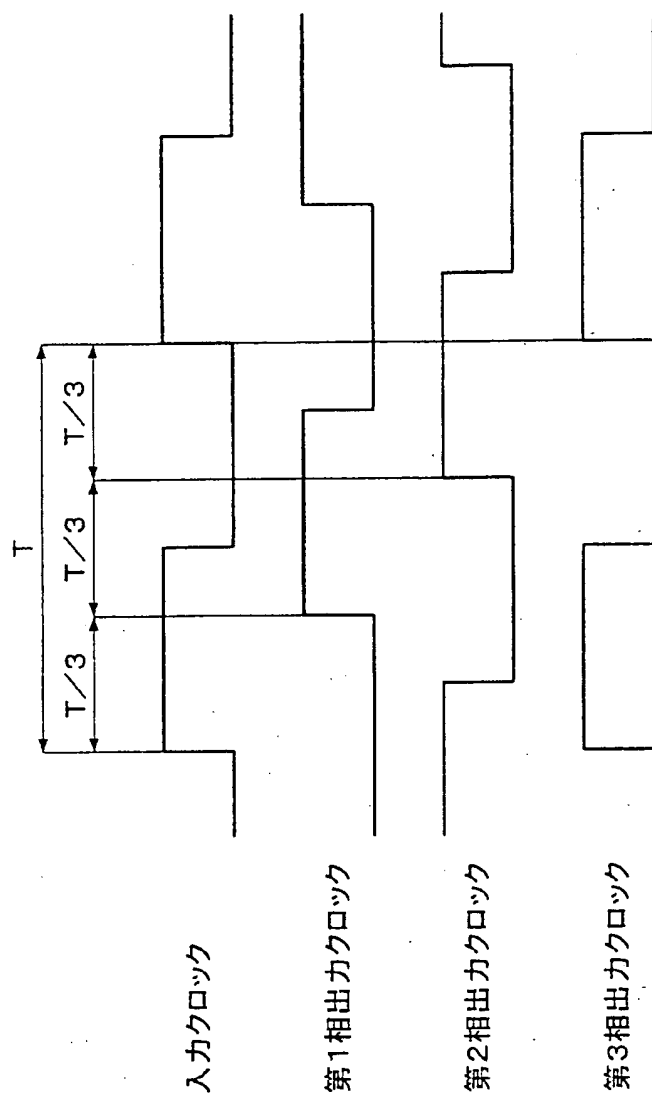


FIG. 6

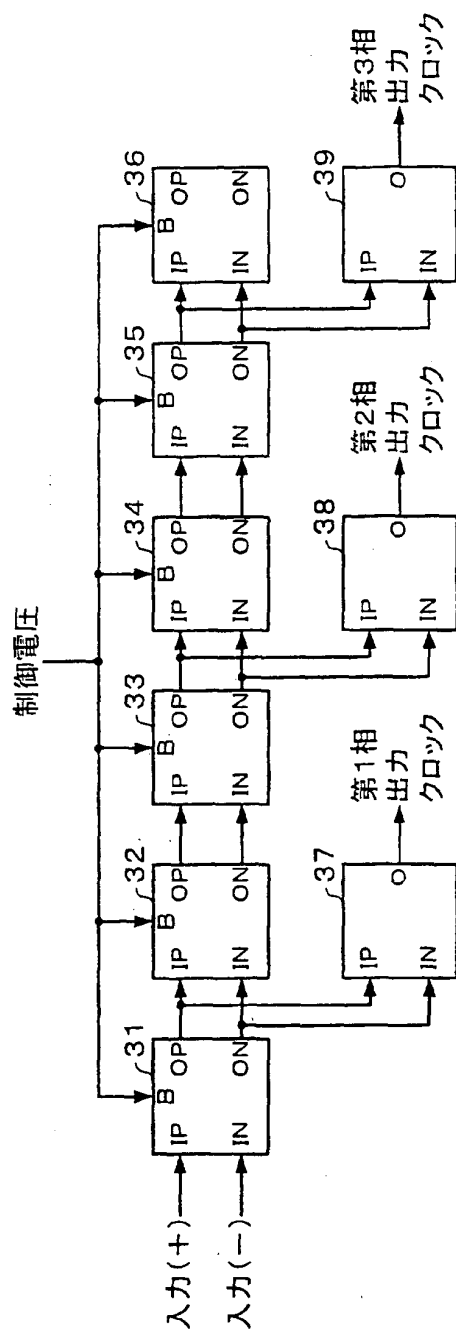
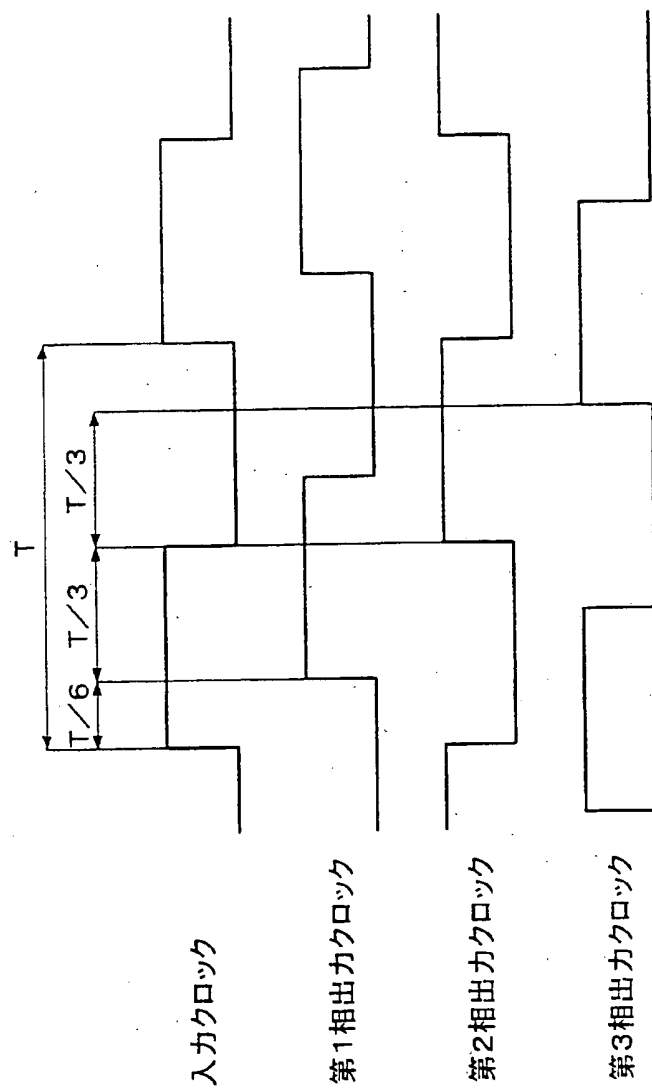


FIG. 7



9/13

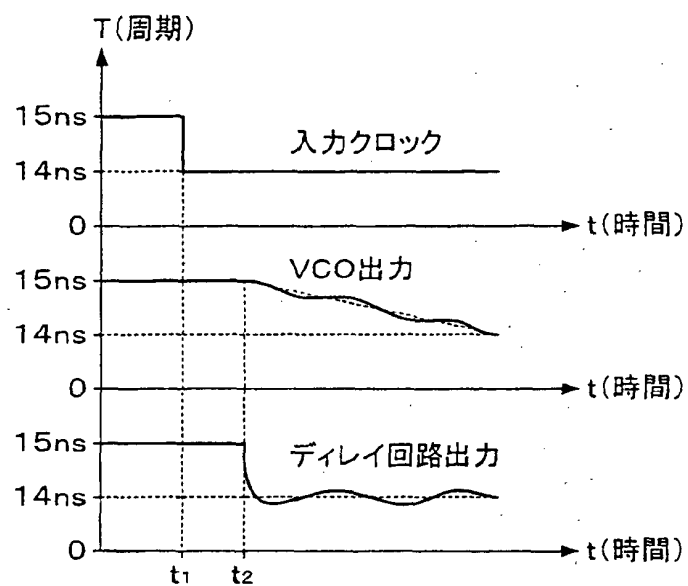
FIG. 9

FIG. 10

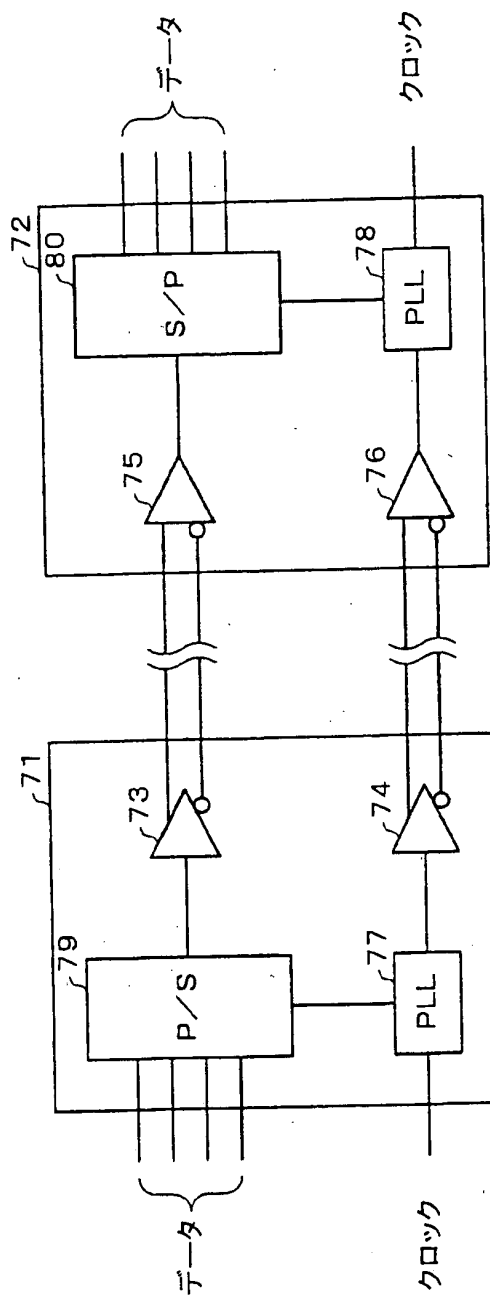


FIG. 11

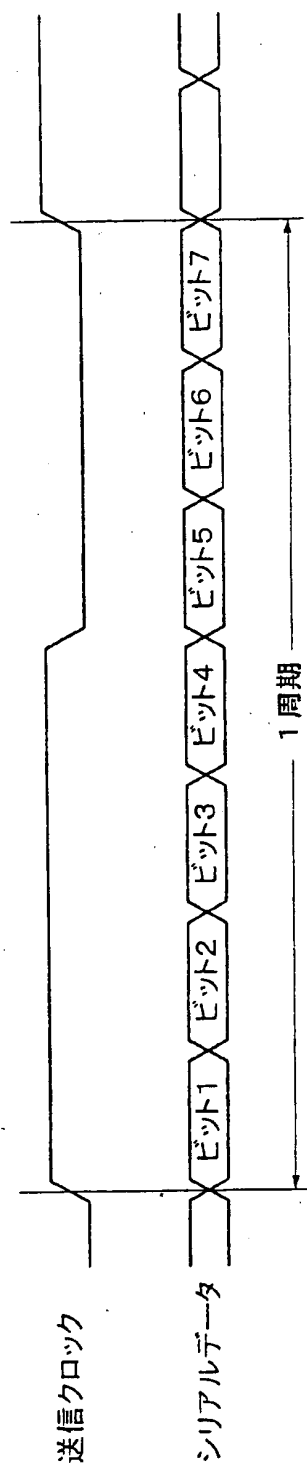


FIG. 12

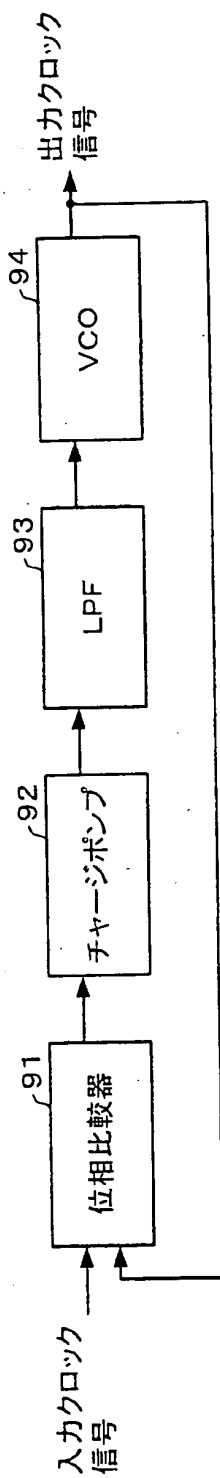
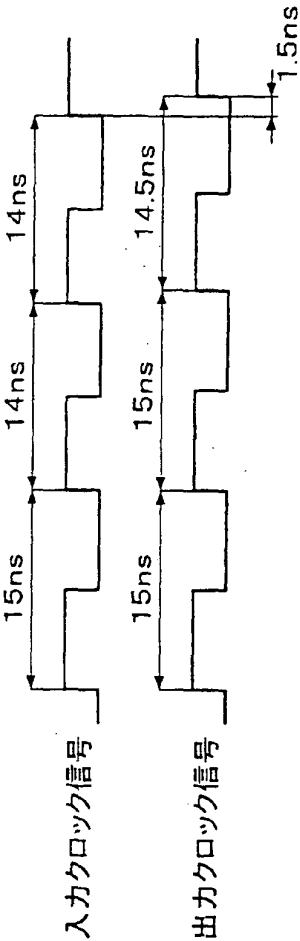


FIG. 13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/02769

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03K 5/15, G06F 1/04, 310

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03K 5/15, G06F 1/04, 310, H03K 3/03, H03K 5/13

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-2000

Kokai Jitsuyo Shinan Koho 1971-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 59-063822, A (Xerox Corporation), 11 April, 1984 (11.04.84), Figs. 1, 4, 8, and their explanations & US, 4494021, A1	1 - 13
Y	JP, 10-303743, A (VLSI Technology Inc.), 13 November, 1998 (13.11.98), Figs. 3, 20, and their explanations & US, 5614868, A1	1 - 13
Y	JP, 04-072910, A (Xerox Corporation), 06 March, 1992 (06.03.92), Figs. 1, 4, and their explanations (Family: none)	1 - 13
Y	JP, 60-101799, A (Sony Corporation), 05 June, 1985 (05.06.85), Figs. 1, 2, and their explanations (Family: none)	8 - 13

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 August, 2000 (01.08.00)Date of mailing of the international search report
08 August, 2000 (08.08.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 04-072910, A (ゼロックス・コーポレーション) 06.3月.1992 (06.03.92)第1,4図及びその説明 (ファミリーなし)	1-13
Y	JP, 60-101799, A (ソニー株式会社) 05.6月.1985 (05.06.85)第1,2図及びその説明 (ファミリーなし)	8-13